

Publication number : JP 55-099762

Date of Publication of application : July 30, 1980

Application number : JP 54-007126

Date of filing : January 26, 1979

Semiconductor Memory Device

Abstract:

PURPOSE: To make it possible to get high speed operation without lowering reliability by forming the surface electrode of an information storage capacitor, the gate of an information transfer IGFET and a digit line by using the 1st, 2nd and the 3rd layers poly-silicon.

CONSTITUTION: Field oxide film 12 consisting of SiO_2 is formed on P-type Si semiconductor substrate 10 by selective diffusion, and outline 12X for forming an active region is provided here. Inside this are placed thin silicon oxide films 12A, 12B, 12a, 12b, which have been formed by heat oxidization. The 2nd poly-silicon layers 30A, 30B provided on films 12a and 12b are used only as the gate electrodes of the 1st and 2nd IGFET, and not used as a word line simultaneously. A digit line, to be connected to N+ -type common source region 18 by means of contact CN1, is formed of the 3rd poly-silicon layer 32. A word line which crosses digit line 32 is formed of the 4th metal layers 36A and 36B.

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 55-099762
 (43) Date of publication of application : 30.07.1980

(51) Int. Cl. H01L 27/06
 G11C 11/34
 H01L 29/78

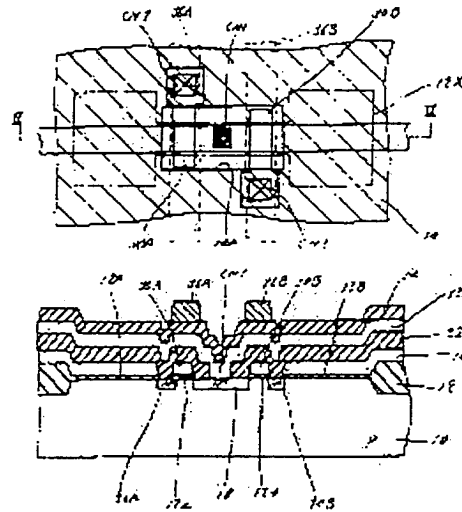
(21) Application number : 54-007126 (71) Applicant : HITACHI LTD
 (22) Date of filing : 26.01.1979 (72) Inventor : KAWAMOTO HIROSHI

(54) SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: To make it possible to get high speed operation without lowering reliability by forming the surface electrode of an information storage capacitor, the gate of an information transfer IGFET and a digit line by using the 1st, 2nd and the 3rd layers poly-silicon.

CONSTITUTION: Field oxide film 12 consisting of SiO₂ is formed on P-type Si semiconductor substrate 10 by selective diffusion, and outline 12X for forming an active region is provided here. Inside this are placed thin silicon oxide films 12A, 12B, 12a, 12b, which have been formed by heat oxidation. The 2nd poly-silicon layers 30A, 30B provided on films 12a and 12b are used only as the gate electrodes of the 1st and 2nd IGFET, and not used as a word line simultaneously. A digit line, to be connected to N⁺-type common source region 18 by means of contact CN1, is formed of the 3rd poly-silicon layer 32. A word line which crosses digit line 32 is formed of the 4th metal layers 36A and 36B.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭55—99762

⑫ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和55年(1980)7月30日

H 01 L 27/06

6426—5 F

G 11 C 11/34

1 0 1

7922—5 B

H 01 L 29/78

6603—5 F

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体記憶装置

社日立製作所コンピュータ事業
本部デバイス開発センター内

⑮ 特 願 昭54—7126

⑯ 出 願 人 株式会社日立製作所

⑰ 出 願 昭54(1979)1月26日

東京都千代田区丸の内1丁目5
番1号

⑱ 発 明 者 川本洋

⑲ 代 理 人 弁理士 薄田利幸

小平市上水本町1450番地株式会社

明 細 書

発明の名称 半導体記憶装置

特許請求の範囲

1. 絶縁ゲート型電界効果トランジスタによって情報蓄積用キャパシタへの情報電荷の出し入れを制御するようにした1トランジスタ形式のセル構造をそなえ、となり合うセルのトランジスタの共通ソース領域に形成したデジタル線と各々のセルのトランジスタのゲートに対応して形成したワード線とは相互に交差するように配置して成る半導体記憶装置において、前記キャパシタの表面電極と、前記トランジスタのゲートと、前記デジタル線とをいずれもポリシリコンで形成すると共に、前記ワード線を前記デジタル線に上から重なる空層層で形成したことを特徴とする半導体記憶装置。

発明の詳細な説明

この発明は、絶縁ゲート型電界効果トランジスタ(以下、IGFETという)によって情報蓄積用キャパシタへの情報電荷の出し入れを制御するようにした1トランジスタ形式のセル構造を有す

る半導体記憶装置に関する。

一般に、この種の半導体記憶装置は、その1つのメモリエルの等価回路を第1図に示してあるように、情報伝送用のIGFETQと、情報蓄積用キャパシタCとからなるメモリエルをワード線WL及びデジタル線DLの交叉点に対応して多数個マトリクス状に配置することによって構成され、第2図に示すようにワード線電圧 V_w をUVから所定の高電圧にすることによってキャパシタCの情報電荷をIGFETQを介してデジタル線DLに読出し、“0”情報に対応したデジタル線電圧 V_{D0} 又は“1”情報に対応したデジタル線電圧 V_{D1} を得るようになってい。そして、このような半導体記憶装置は、第3図及び第4図に示すようにセンスアンプSAに接続される一対のデジタル線DLに対して各ワード線WLがどのように交叉するかとの観点から一交叉方式のものと二交叉方式のものとに大別されるのが普通である。すなわち、一交叉方式のものは第3図に示すように1つのセンスアンプSAに接続される一対のデジ

ト線DLに対して各ワード線WLが1回しか交叉しないものであり、二交点方式のものは1つのセンスアンプSAに接続される一対のデジット線DLに対して各ワード線WLが3回交叉するものである。

上記のようなワード線-デジット線交叉配置は、当然にセル配置及び周辺回路配置に影響を及ぼすものであり、一交点方式の配置は二交点方式のものに比べてセル及び周辺回路配置が複雑で、高密度集積化に適さない欠点がある。このため、最近の配置は殆ど二交点方式のものになっており、その代表的なセル構造は第5図及び第6図に例示されている。

第5図及び第6図は、従来の二交点方式の半導体記憶装置のとなり合う一対のセルの構造を示すもので、これらの図において、10はP型シリコンからなる半導体基板、12は基板表面を選択酸化して形成したSiO₂からなる厚いフィールドオキサイド膜、13Xはフィールドオキサイド膜12にアクティブ領域形成用に設けた開口部又は

(3)

その輪郭を示すものである。アクティブ領域形成用開口部13X内の基板表面には熱酸化法により形成された薄いシリコンオキサイド膜13A、

13B、13c、13dが配置されている。シリコンオキサイド膜13A、13Bはそれぞれ第1及び第2の情報蓄積用キャパシタの誘電体として作用するものであり、シリコンオキサイド膜13c、13dはそれぞれ第1及び第2のIGFETのゲート絶縁膜として作用するものである。

シリコンオキサイド膜13、13A、13Bの上には第5図に示すように開口部14Aを有する第1層目配線としてのポリシリコン層14がCVD法などにより形成されている。このポリシリコン層14は、CVDの過程で又はその後にリン等の不純物が高濃度ドーピングされることにより低抵抗化されているもので、シリコンオキサイド膜13A、13B上に位置する部分がそれぞれ第1及び第2の情報蓄積用キャパシタの表面電極として作用するようになっている。一方、シリコンオキサイド膜13c、13dの上にはそれぞれ第1

(4)

及び第2のIGFETのゲートないしワード線として作用するポリシリコン層16A、16Bが形成されている。これらのポリシリコン層16A、16BはCVD法等により低抵抗の第3層目配線として形成されるもので、第5図に示すようにポリシリコン層14の開口部14Aを横切るように平面パターンで、しかも図示しないSiO₂などの層間絶縁膜を介してポリシリコン層14から絶縁された形で形成されている。

N⁺型領域18、20A、20Bはポリシリコン層14、16A、16Bを形成後、これらをマスクとしたいわゆる自己整合方式の拡散及び/又はイオン打込等の処理で形成されたもので、N⁺型領域18は第1及び第2のIGFETに共通のソース領域として、またN⁺型領域20A、20Bはそれぞれ第1及び第2のIGFETのドレイン領域として作用するようになっている。

ポリシリコン層14、16A、16Bの上には、SiO₂などの層間絶縁膜22がCVD法等により形成されており、この絶縁膜22の上には、ワ

(5)

ード線用ポリシリコン層16A、16Bとは垂直に交叉するようにA等からなるデジット線用金属層24が形成されている。この金属層24は、第3層目の配線として蒸着法等により形成されるもので、その一部分CNは絶縁膜22に設けたコンタクト孔を介して共通ソース領域18にオーミック接触している。

上記構成の半導体装置は、一交点方式のものに比べてセル及び周辺回路配置が簡略で、高密度集積化に好適である利点を有する反面、ワード線がポリシリコンで形成されているためその抵抗が大きくなり、動作速度が遅い欠点がある。すなわち、通常ワード線の容量は8〜4pFであり、ワード線をポリシリコンで形成するとその配線抵抗は10〜40KΩとなる。このため、かような容量分と抵抗分とによる信号遅延作用が相当大きくなり、信号遅延ないし読出速度が低く制限されることになる。いま第7図を参照して読出時の動作遅延を例示すると、ワード線に駆動パルスを印加してからワード線電圧V_wが定常値に達するまでに約

(6)

80~80 nsec の時間を要する。そして、このような時間遅れの後、情報伝達用 IGFET が十分導通してから "1" 又は "0" に対応したデジタル線電圧 V_{D1} 又は V_{D0} が定常値に達する。一方、センスアンプは増幅指令信号が約 10~30 nsec で定常値に達するため情報伝達用 IGFET が十分導通する以前に増幅動作を開始している。しかし、上記のようにワード線ないしデジタル線の電圧立上りが遅いのではいくらセンスアンプの動作開始が速くても読出速度は速くならないのである。

なか、ワード線抵抗を減らして動作速度を高めるためには、第5図及び第6図に示した装置において、ワード線 18A、18B を A 層等の金属で形成することも考えられるが、これではその形成手段として蒸着法等を用いることになるため装置部（例えばフィールドオキサイド開口部 13X）で断線が生じやすく、装置の信頼性が低下する欠点がある。

従って、この発明の目的は、信頼性を低下させ

(7)

置した3層目ポリシリコン層 80A、80B をそれぞれ第1及び第3の IGFET のゲート電極としてのみ用いるようにし、ワード線に兼用しないようにしたこと、第2に N^+ 型共通ソース領域 18にコンタクト部 CN1 にて接続されるデジタル線を3層目のポリシリコン層 83 で形成したこと、第3にデジタル線 83 と直交するワード線を4層目の金属層 86A、86B で形成し、これらの金属層 86A、86B の各一部分 CN2、CN3 を SiO₂ などからなる層間絶縁膜 84 の対応するコンタクト孔を介してゲート用ポリシリコン層 80A、80B にそれぞれオーミック接触させるようにしたことである。なか、上記実施例において、IGFET のゲートを1層目ポリシリコンで形成し、キャパシタの表面電極を2層目ポリシリコンで形成するようにしてもよい。

上記したこの発明の構成によれば、金属層 86A、86B のシート抵抗を 10 Ω /口程度に低下させることからワード線の配線抵抗を大幅に減らし、高速動作を行なわせることが可能になる。こ

(9)

ることなく高速動作を可能にした改良された二交点方式の半導体記憶装置を提供することにある。

この発明の実施例による半導体記憶装置は、情報記憶用キャパシタの表面電極を第1層目のポリシリコンで、情報伝達用 IGFET のゲートを第3層目のポリシリコンで、デジタル線を第3層目のポリシリコンでそれぞれ形成すると共に、ワード線を第4層目の金属層で形成したことを特徴とするものであり、以下、抜粋図面について詳述する。

第8図及び第9図は、この発明の実施例による1トランジスタ型セル構造を有する二交点方式の半導体記憶装置を示すもので、特に第8図はとなり合うセルの平面配置を、第9図は第8図のA-A線に沿う断面をそれぞれ示している。これらの図において、第5図及び第6図にかけると同様な部分には同様な符号を付してその詳細な説明を省略する。第8図及び第9図に示した装置の導致とすることは、第1にゲート絶縁膜としてのシリコンオキサイド膜 13a、13b 上にそれぞれ配

(8)

の点、ポリシリコンのシート抵抗は 10 Ω /口以下に低下させるのが困難であり、この発明によればワード線の配線抵抗を従来の約 1/10 程度に低下させることができる。また、ワード線の配線抵抗の低下は、雑音の影響で生ずる誤動作を防止し、動作の安定性を高める点でも有益である。さらに、この発明の装置では、デジタル線、IGFET のゲート及びキャパシタの表面電極がいずれもポリシリコンで構成され、比較的設製の少ない最上層（第4層）のみが金属配線となっているので、断線事故の発生を最少限にさせることができ、高い信頼性を確保することができる。なか、この発明の装置は二交点方式のものであるから、一交点方式のものの欠点を伴わないことは明らかであろう。

図面の簡単な説明

第1図は、1トランジスタ型メモリセルの符号回路図、第2図は、第1図の回路の動作を説明するためのタイムチャート、第3図及び第4図はワード線及びデジタル線の配置を示す平面図、第5

17訂正

40

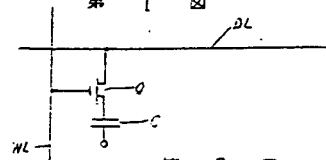
図は、従来の1トランジスタ型セル構造の半導体記憶装置の電極配置を示す上面図、第6図は、第5図の装置のV-V'線に沿う断面図、第7図は、第5図の装置の動作を説明するためのタイムチャート、第8図は、この発明の一実施例による1トランジスタ型セル構造の半導体記憶装置の電極配置を示す上面図、第9図は、第8図の装置のA-A'線に沿う断面図である。

10…半導体基板、12、12A、12B、12a、12b…シリコンオキサイド膜、14…キャパシタの表面電極としてのポリシリコン層、16A、16B…ゲート・ワード線兼用ポリシリコン層、18…共通ソース領域、20A、20B…ドレイン領域、22、24…層間絶縁膜、26…デジタル線用全金属層、28A、28B…ゲート用ポリシリコン層、28…デジタル線用ポリシリコン層、26A、26B…ワード線用全金属層。

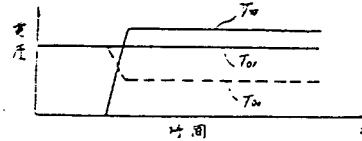
代理人 弁理士 藤田利幸

11)

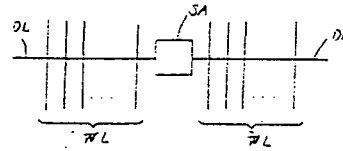
第1図



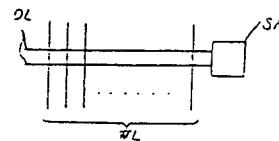
第2図



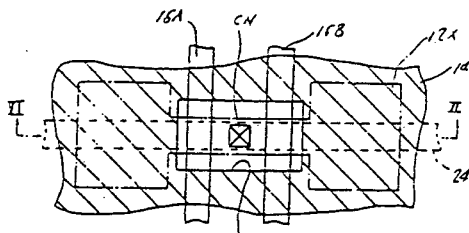
第3図



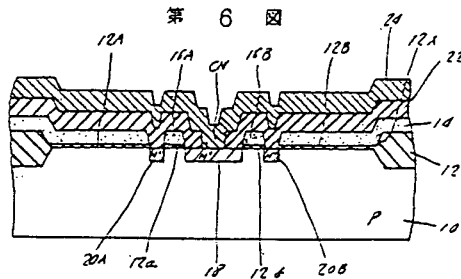
第4図



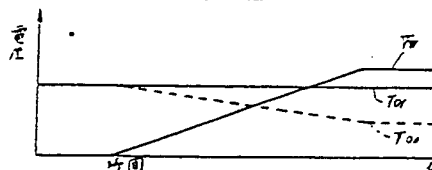
第5図



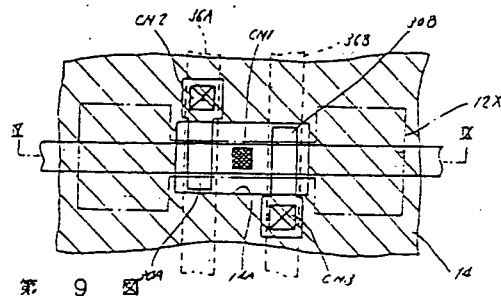
第6図



第7図



第8図



第9図

